(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05121207 A

(43) Date of publication of application: 18.05.93

(51) Int. Cl H01C 7/10

(21) Application number: 03306892

(22) Date of filing: 25.10.91

(71) Applicant: MURATA MFG CO LTD

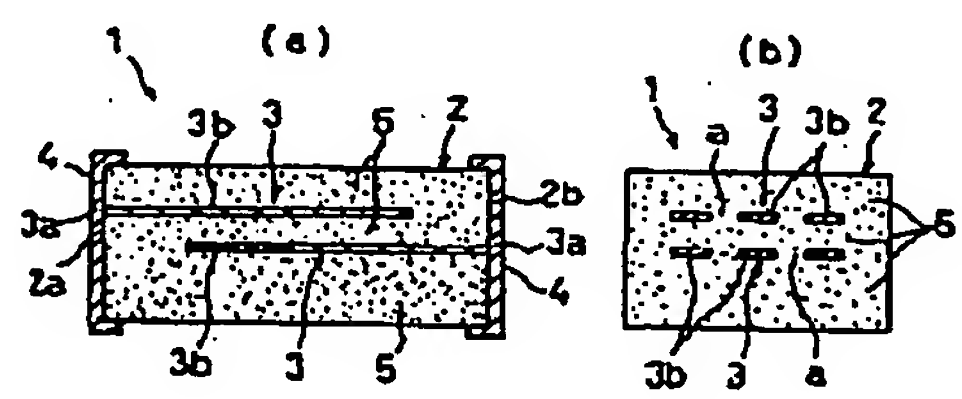
(72) Inventor: UENO YASUSHI
NAKAYAMA AKIYOSHI
NAKAMURA KAZUYOSHI
YONEDA YASUNOBU
SAKABE YUKIO

(54) LAMINATED VARISTOR

(57) Abstract:

PURPOSE: To provide a laminated varistor able to prevent diversity of varistor voltage and electrostatic capacity while preventing a leakage current by improving a scattering property of an organic matter at the time of firing.

CONSTITUTION: In the case where the outer electrodes 4 are formed on both end faces 2a, 2b of a sintered body 2 formed by laminating and integrally sintering semiconductor ceramic layers 5 and a plurality of inner electrodes 3 are buried in the sintered body 2 while one end face 3a of each inner electrode 3 is connected to an outer electrode 4 in order to constitute a lamination type varistor 1, the inner electrodes 3 are formed in a comb shape consisting of three belt-shaped electrode parts 3b extending in parallel at prescribed intervals a.



8

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平5－121207

(43)公開日　平成５年(1993) ５月18日

(51)Int.Cl.⁵　識別記号　庁内整理番号　ＦＩ　技術表示箇所

Ｈ０１Ｃ　7/10

審査請求　未請求　請求項の数２（全　６　頁）

(21)出願番号　特願平3－306892

(22)出願日　平成３年(1991)10月25日

(71)出願人　000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号

(72)発明者　上野　靖司
京都府長岡京市天神２丁目26番10号　株式会社村田製作所内

(72)発明者　中山　晃慶
京都府長岡京市天神２丁目26番10号　株式会社村田製作所内

(72)発明者　中村　和敬
京都府長岡京市天神２丁目26番10号　株式会社村田製作所内

(74)代理人　弁理士　下市　努

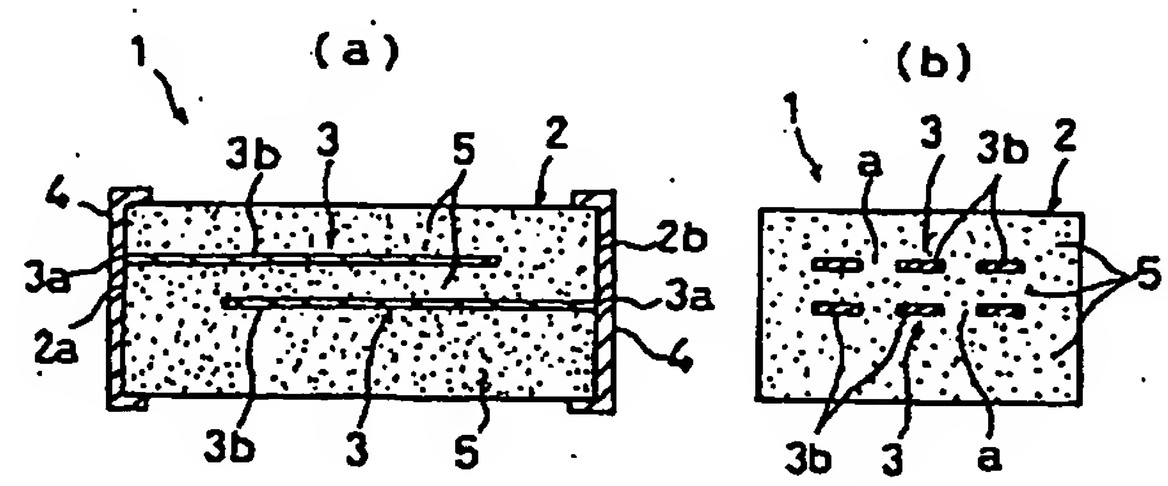
最終頁に続く

(54)【発明の名称】　積層型バリスタ

(57)【要約】

【目的】　焼成時における有機物の飛散性を向上して、バリスタ電圧及び静電容量のばらつきを防止できるとともに、漏れ電流を防止できる積層型バリスタを提供する。

【構成】　半導体セラミック層５を積層して一体焼結してなる焼結体２の両端面２ａ，２ｂに外部電極４を形成し、上記焼結体２内に複数の内部電極３を埋設するとともに、該各内部電極３の一端面３ａを上記外部電極４に接続して積層型バリスタ１を構成する場合に、上記内部電極３を、所定の隙間ａをあけて平行に延びる３つの帯状の電極部３ｂからなる櫛形状に形成する。



1

【特許請求の範囲】

【請求項1】　半導体セラミック層を積層して一体焼結してなる焼結体の両端面に外部電極を形成し、上記焼結体内に複数の内部電極を埋設するとともに、該各内部電極の一端面のみを上記外部電極に交互に接続してなる積層型バリスタにおいて、上記内部電極を、半導体セラミック層の厚み方向に直交する平面上で櫛形状に形成したことを特徴とする積層型バリスタ。

【請求項2】　請求項1において、上記内部電極間の半導体セラミック層に、上記外部電極に接続されない非接続内部電極を埋設するとともに、上記内部電極同士をセラミック層の厚さ方向において重なり合わないように配設したことを特徴とする積層型バリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧非直線性抵抗体として機能する積層型バリスタに関し、特に焼成時における有機物の飛散性を向上して、バリスタ電圧及び静電容量のばらつきを低減できるとともに、漏れ電流を低減できるようにした構造に関する。

【0002】

【従来の技術】一般に、バリスタは、印加電圧に応じて抵抗値が非直線的に変化する抵抗体素子であり、例えば電子回路に過電圧が加わるのを防止するサージ吸収素子として使用されている。また、近年、通信機器等の電子機器の分野においては、電子部品の小型化，集積化が進んでおり、これに伴ってバリスタにおいても小型化，あるいは低電圧化の要求が強くなっている。このような要求に対応するものとして、従来、図6及び図7に示すような積層型バリスタがある（特願平1-302496 号参照）。この積層型バリスタ30は、複数の半導体セラミック層31を積層してなる焼結体32内に一対の内部電極33，33を埋設するとともに、該各内部電極33の一端面33aのみを上記焼結体32の左，右端面32a，32bに形成された外部電極34，34に接続して構成されている。また上記内部電極33間のセラミック層31内には上記外部電極34に接続されない一対の非接続内部電極35，35が挿入配置されており、この非接続内部電極35は焼結体32内に封入されている。上記積層型バリスタ30は、セラミック層31と内部電極33，及び非接続内部電極35との界面に形成される電気的障壁により電圧非直線特性を得るものである。

【0003】

【発明が解決しようとする課題】ところで、上記積層型バリスタ30は、図7に示すように、グリーンシート状のセラミック層31にAg／Pdペーストを印刷して内部電極33，非接続内部電極35を形成し、これを順次積層した後、一体焼結して焼結体32を形成するようにしている。しかしながら、上記従来の積層型バリスタ30では、焼成時にセラミック層31からバインダ等の有

2

機物が飛散する際に、内部電極33，非接続内部電極35が障害となることから、各電極33，35とセラミック層31との接合面に力が加わり、場合によっては電極33，35が剥離するおそれがある。その結果、この剥離が生じた部分では電圧非直線特性を得ることができないことから、バリスタ電圧や静電容量にばらつきが生じるという問題がある。また、上記焼成時に内部電極33や非接続内部電極35の金属の収縮や有機物の蒸発によって、焼結後の内部電極33，非接続内部電極35に網目状の孔が生じる場合がある。その結果、この孔を通して半導体結晶が生長し、この結晶部分では電圧非直線特性を得ることができないことから、上述と同様にバリスタ電圧のばらつきが生じたり，漏れ電流が生じたりするという問題がある。

【0004】本発明は上記従来の問題点を解決するためになされたもので、焼成時における有機物等の飛散性を向上して、又金属の収縮や有機物の蒸発による孔の発生を回避して、バリスタ電圧，静電容量のばらつきを低減できるとともに、漏れ電流を低減できる積層型バリスタを提供することを目的としている。

【0005】

【課題を解決するための手段】そこで請求項1の発明は、半導体セラミック層を積層して一体焼結してなる焼結体の両端面に外部電極を形成し、上記焼結体内に複数の内部電極を埋設するとともに、該各内部電極の一端面のみを上記外部電極に交互に接続してなる積層型バリスタにおいて、上記内部電極を、半導体セラミック層の厚み方向に直交する平面上で櫛形状に形成したことを特徴としている。また、請求項2の発明は、上記内部電極間の半導体セラミック層に、上記外部電極に接続されない非接続内部電極を埋設してなる積層型バリスタにおいて、上記内部電極を櫛形状に形成するとともに、該内部電極同士をセラミック層の厚さ方向において重なり合わないよう配設したことを特徴としている。

【0006】

【作用】請求項1の発明に係る積層型バリスタによれば、内部電極を櫛形状にしたので、焼成時におけるセラミック層から飛散した有機物は、内部電極の隙間から放出されることから飛散性を向上でき、それだけ内部電極の剥離を防止できる。その結果、内部電極とセラミック層との界面における電圧非直線特性を確保でき、バリスタ電圧や静電容量のばらつきを低減できる。また、請求項2の発明によれば、内部電極間の半導体セラミック層に非接続内部電極を配設する場合に、内部電極を櫛形状に形成するとともに、該内部電極が厚さ方向において重なり合わないようにしたので、内部電極と非接続内部電極だけが厚さ方向に重なることから、従来の構造に比べて重なりを少なくできる。従って、内部電極，非接続内部電極の収縮や有機物の蒸発による孔を低減でき、それだけ孔を通した結晶の生長を低減でき、この場合もバリ

スタ電圧のばらつきを低減できるとともに、漏れ電流を低減できる。

【0007】

【実施例】以下、本発明の実施例を図について説明する。図1ないし図3は請求項1の発明の一実施例による積層型バリスタを説明するための図である。図において、1は本実施例の積層型バリスタであり、これは直方体状の焼結体2内に第1内部電極3，及び第2内部電極3を埋設するとともに、上記焼結体2の左，右端面2a，2bに外部電極4，4を形成して構成されている。

【0008】上記焼結体2は複数の半導体セラミック層5を積層し、この積層体を一体焼結して形成されたもので、上記第1，第2内部電極3とセラミック層5との界面で電圧非直線特性を得るようになっている。

【0009】また、上記各内部電極3の一端面3aは上記焼結体2の左，右端面2a，2bに交互に露出されており、この一端面3aは上記外部電極4に電気的に接続されている。さらに上記内部電極3の一端面3a以外の部分は上記セラミック層5の内側に位置しており、これにより焼結体2内に埋設されている。

【0010】そして、上記第1，第2内部電極3は所定の隙間aをあけて平行に延びる3つの帯状の電極部3bから構成されており、この各電極部3bはセラミック層5を挟んで対向している。これにより上記各内部電極3はセラミック層5の厚さ方向に直交する平面上で櫛形状となっている。

【0011】次に本実施例の積層型バリスタ1の製造方法について説明する。まず、ZnO(97.9mol%)を主成分とし、これに$CoCO_3$(1.0mol%)，$MnCO_3$(0.5mol%)，Sb_2O_3(2.0mol%)，Bi_2O_3(0.5mol%)をそれぞれ上記モル比で混合してなるセラミック材料に、B_2O_3，SiO_2，PbO，及びZnOからなるガラス粉末を0.1重量%加えて調合し、原料粉を作成する。さらにこの原料粉に有機質バインダを混合して、リバースローラ方式により厚さ10μmのセラミックグリーンシートを形成し、このグリーンシートを矩形状に切断して複数の半導体セラミック層5を形成する。なお、最上部と最下部に位置するセラミック層5は上記グリーンシートを10枚重ねてなり、中央部のセラミック層5は1枚だけで構成している。

【0012】次に、Ptからなる金属粉末に有機ビヒクルを混合して電極ペーストを作成し、この電極ペーストを上記セラミック層5の上面に印刷し、これにより帯状の電極部3bからなる櫛形状の第1，第2内部電極3を形成する。この場合、各内部電極3の一端面3aのみがセラミック層5の端縁まで延び、他の周端面は内側に位置するよう形成する。

【0013】次いで、図1に示すように、上記セラミック層5と内部電極3とが交互に重なり、かつ各内部電極3の一端面3aがセラミック層5の左，右端縁に交互に露出するよう積層し、これの厚さ方向に2t／cm²の圧力を加えて圧着して積層体を形成し、該積層体を所定寸法の大きさに切断する。

【0014】次に、上記積層体を空気中にて1050～1150℃の温度で3時間焼成し、焼結体2を得る。そして、この焼結体2の左，右端面2a，2bにAg：Pd＝7：3の重量比からなる合金ペーストを塗布した後、焼き付けて外部電極4を形成する。これにより本実施例の積層型バリスタ1が製造される。

【0015】

【表1】

		従来試料	実施例試料
V_{1mA}	平均値	4.02	3.97
	3CV%	8.5	1.0
IR (MΩ)		0.92	1.20
Cap (pF)	平均値	460	510
	3CV%	10.2	3.10

【0016】表1は、本実施例の効果を確認するために行った試験結果を示す。この試験は、本実施例で説明した製造方法により積層型バリスタ1を作成し、これの電圧－電流特性，静電容量，及び2Vを30秒間印加した時の抵抗値を測定して行った。なお、比較するために内部電極が矩形状の従来の積層型バリスタについても同様の測定を行った。表1からも明らかなように、従来試料の場合は、バリスタ電圧の3CVが8.5%，静電容量の3CVが10.2%、また抵抗値が0.92MΩとなっており、特性にばらつきが生じている。これに対して本実施例試料の場合は、バリスタ電圧の3CVが1.0%，静電容量の3CVが3.10%となっており、ばらつきが大幅に低減できている。また抵抗値は1.20MΩと向上しており、漏れ電流が低減できていることがわかる。

【0017】図4及び図5は請求項2の発明の一実施例による積層型バリスタを説明するための図である。図中、図1及び図2と同一符号は同一又は相当部分を示す。本実施例の積層型バリスタ10は、焼結体2内に第1，第2内部電極11，11を埋設するとともに、上記焼結体2の両端面2a，2bに外部電極4を形成してなり、基本的構造は上記実施例と略同様である。

【0018】上記第1，第2内部電極11間のセラミック層5内には、非接続内部電極12が配設されており、この非接続内部電極12の各端面は上記焼結体2の内側に位置している。これにより非接続内部電極12は外部電極4に電気的に接続されることなく焼結体2内に封入されている。

【0019】そして、上記第1，第2内部電極11は所

定の隙間ａをあけて平行に延びる４つの帯状の電極部１１ｂからなる櫛形状に形成されている。また、この各電極部１１ｂは上記セラミック層５の厚さ方向において重なり合わないよう配設されている。

【００２０】次に本実施例の積層型バリスタ１０の製造方法について説明する。本実施例の製造方法は上述した方法と基本的には同一であり、ＺｎＯを主成分とするセラミック材料にガラス粉末を加えて原料粉を作成し、該原料粉から厚さ10μｍ のセラミックグリーンシートを形成し、このグリーンシートを矩形状に切断して多数の半導体セラミック層５を形成する。

【００２１】次に、上記各セラミック層５の上面に電極ペーストを印刷して櫛形状の第１，第２内部電極１１を形成するとともに、非接続内部電極１２を形成する。この非接続内部電極１２はこれの全周面がセラミック層５の内側に位置するよう形成する。

【００２２】次いで、図４に示すように、上記セラミック層５を順次重ねて積層した後、圧着して積層体を形成し、該積層体を所定寸法の大きさに切断する。次に、上記積層体を空気中にて1050～1150℃の温度で３時間焼成して焼結体２を形成する。しかる後、この焼結体２の左，右端面２ａ，２ｂに外部電極４を焼き付けて形成する。これにより本実施例の積層型バリスタ１０が製造される。

【００２３】

【表２】

		従来試料	実施例試料
V_{1mA}	平均値	5.80	7.42
	3ＣＶ％	9.5	1.0
ＩＲ（ＭΩ）		1.50	2.10
Ｃａｐ (pF)	平均値	230	270
	3ＣＶ％	9.60	2.50

【００２４】表２は、本実施例の効果を確認するために行った試験結果を示す。この試験は、本実施例の積層型バリスタ１０の電圧－電流特性，静電容量，及び４Ｖを30秒間印加した時の抵抗値を測定した。なお、比較するために内部電極が矩形状で、かつ非接続内部電極が配設された従来の積層型バリスタについても同様の試験を行った。表２からも明らかなように、従来試料の場合は、バリスタ電圧の３ＣＶが 9.5%，静電容量の３ＣＶが9.60%、また抵抗値が1.50ＭΩとなっており、特性にばらつきが生じている。これに対して本実施例試料の場合は、バリスタ電圧の３ＣＶが 1.0%，静電容量の３ＣＶが2.50%となっており、ばらつきが大幅に低減できている。また抵抗値は2.10ＭΩと向上しており、漏れ電流が低減できていることがわかる。

【００２５】

【発明の効果】以上のように請求項１の発明に係る積層型バリスタによれば、内部電極を櫛形状にしたので、有機物の飛散性を向上でき、バリスタ電圧，及び静電容量のばらつきを低減できる効果がある。また、請求項２によれば、内部電極間の半導体セラミック層に非接続内部電極を配設する場合に、櫛形状の内部電極を厚さ方向において重なり合わないようにしたので、この場合もバリスタ電圧のばらつきを低減できるとともに、漏れ電流を低減できる効果がある。

【図面の簡単な説明】

【図１】請求項１の発明の一実施例による積層型バリスタを説明するための分解斜視図である。

【図２】上記実施例の積層型バリスタの断面図である。

【図３】上記実施例の積層型バリスタの斜視図である。

【図４】請求項２の発明の一実施例による積層型バリスタを説明するための分解斜視図である。

【図５】上記実施例の積層型バリスタの断面図である。

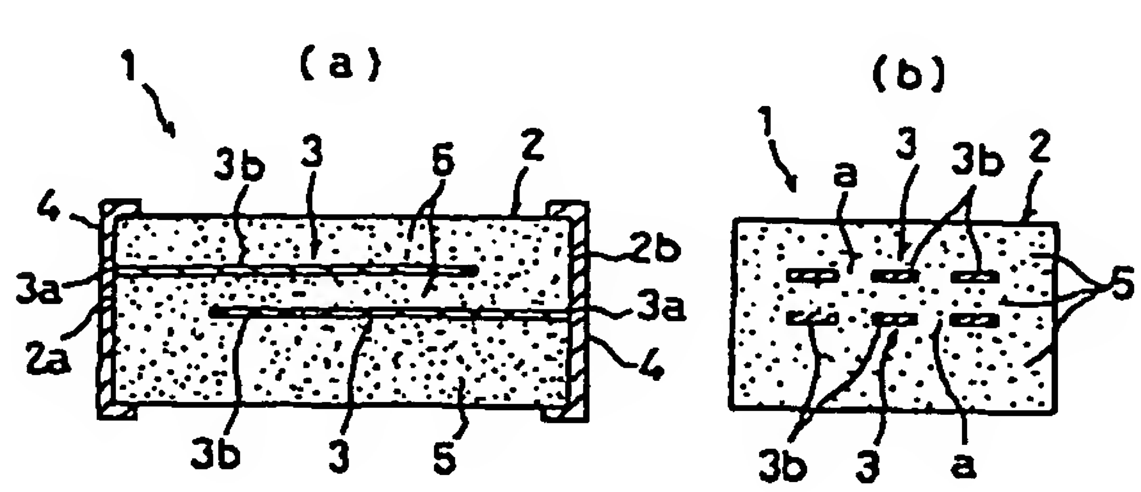
【図６】従来の積層型バリスタを示す断面図である。

【図７】従来の積層型バリスタを示す分解斜視図である。

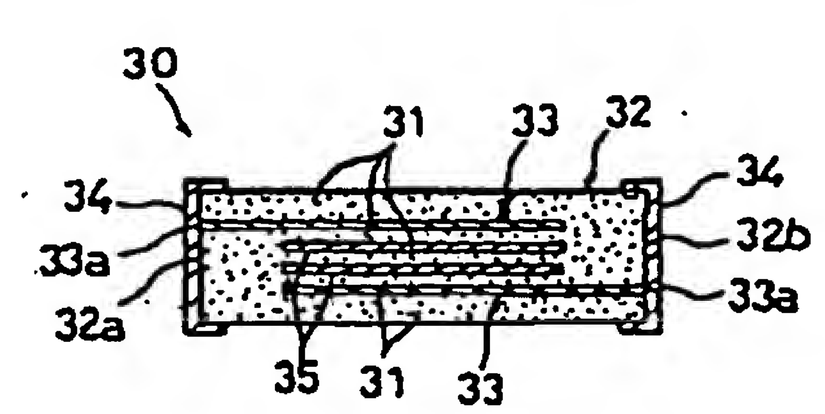
【符号の説明】

１，１０　積層型バリスタ
２　焼結体
３，１１　内部電極
３ａ　内部電極の一端面
４　外部電極
５　セラミック層
１２　非接続内部電極

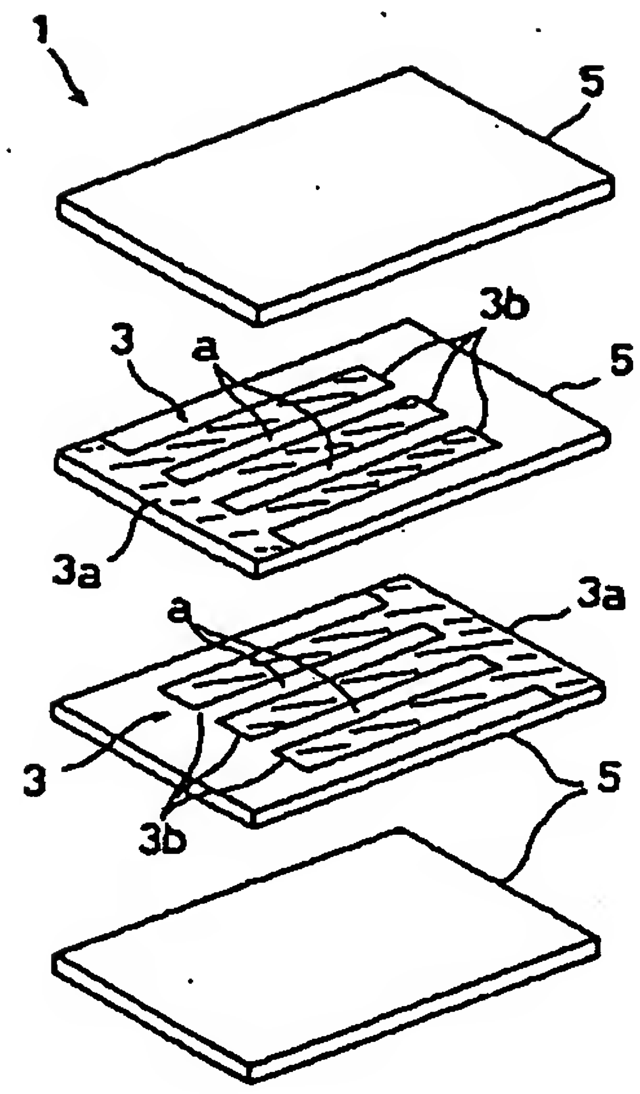
【図２】



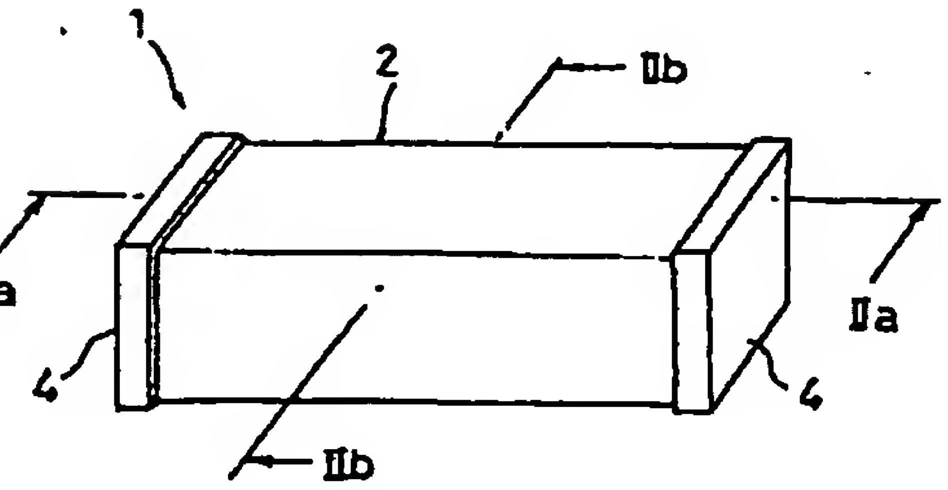
【図６】



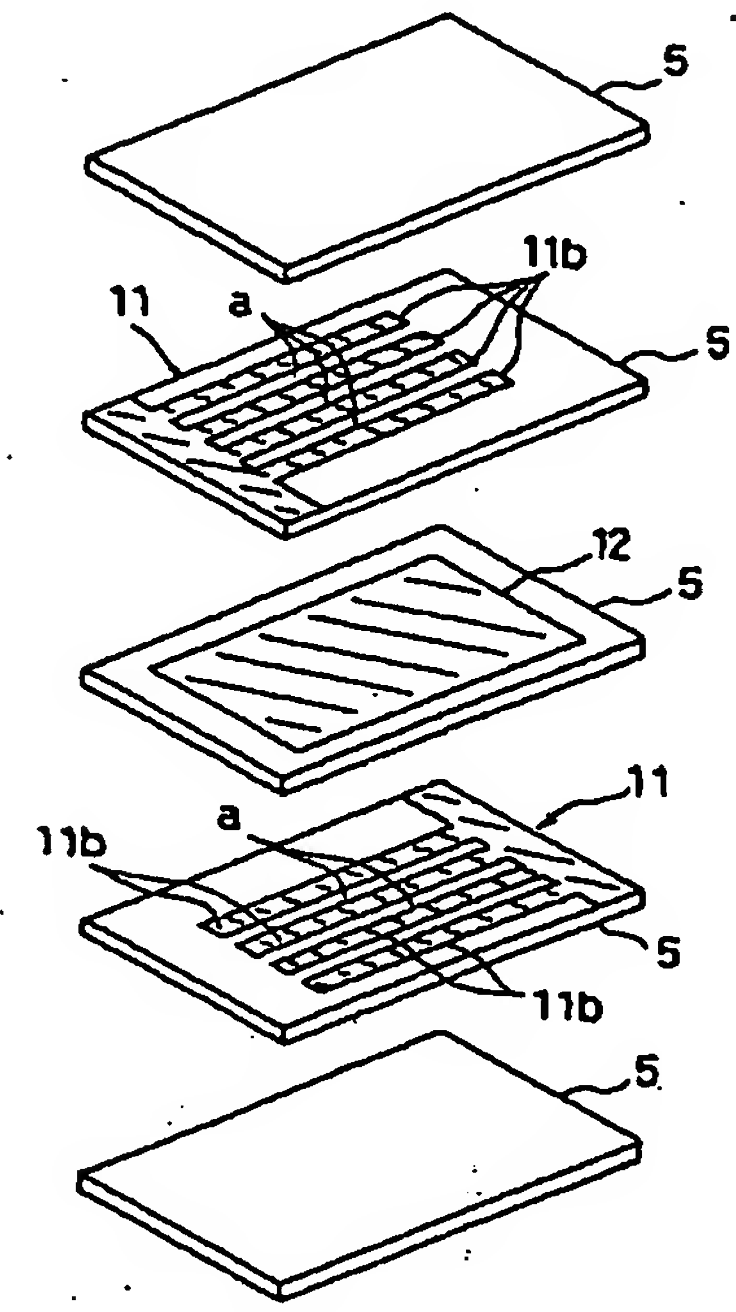
【図1】



【図3】

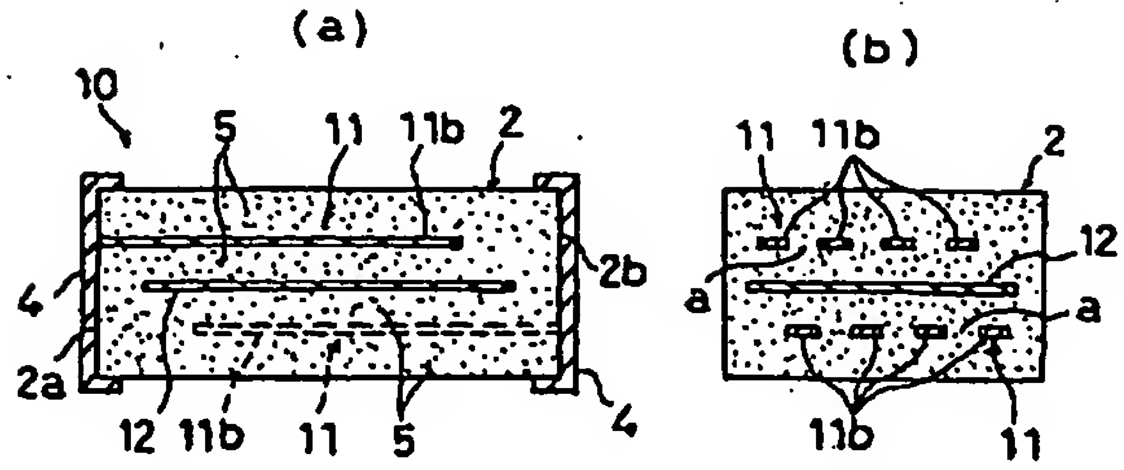


【図4】

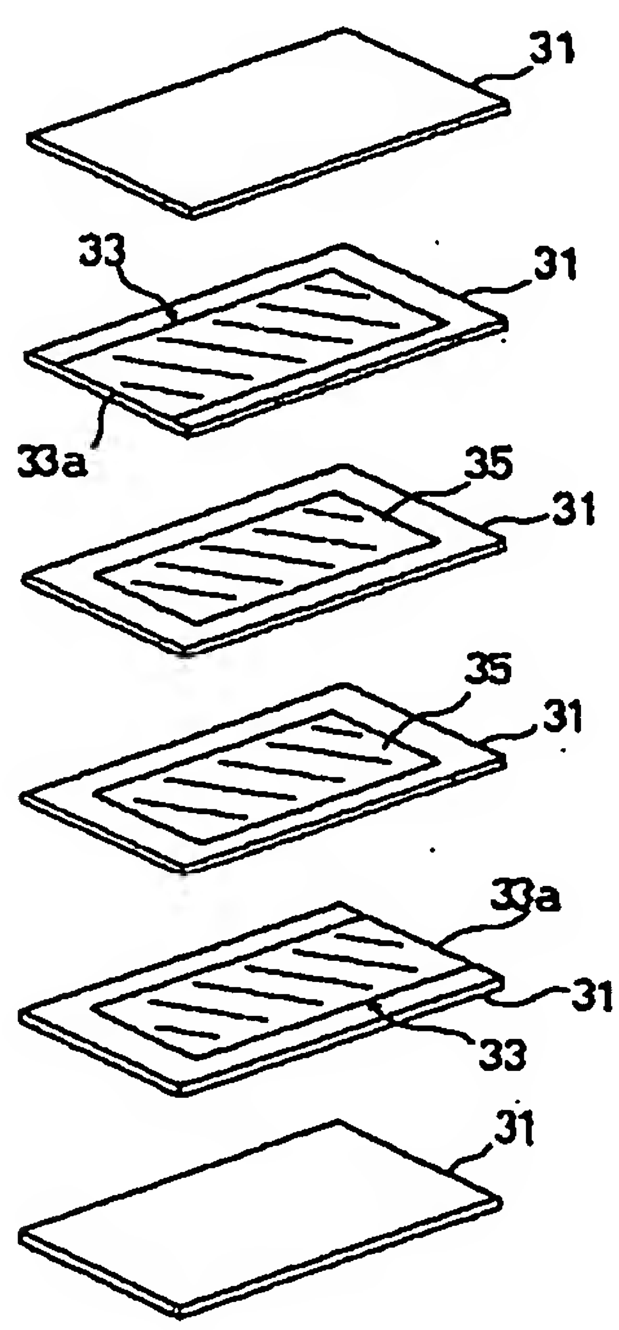


【図5】

(a) (b)



【図7】



フロントページの続き

(72)発明者　米田　康信
京都府長岡京市天神２丁目26番10号　株式会社村田製作所内

(72)発明者　坂部　行雄
京都府長岡京市天神２丁目26番10号　株式会社村田製作所内

JP 05-121207 A

(11)Publication number : 05-121207 (51)Int.CI. H01C 7/10
(43)Date of publication of application : 18.05.1993
(21)Application number : 03-306892
(22)Date of filing : 25.10.1991
(71)Applicant :MURATA MFG CO LTD
(72)Inventor : UENO YASUSHI
NAKAYAMA AKIYOSHI
NAKAMURA KAZUYOSHI
YONEDA YASUNOBU
SAKABE YUKIO

(54) **LAMINATED VARISTOR**

(57)Abstract:
PURPOSE: To provide a laminated varistor able to prevent diversity of varistor voltage and electrostatic capacity while preventing a leakage current by improving a scattering property of an organic matter at the time of firing.
CONSTITUTION: In the case where the outer electrodes 4 are formed on both end faces 2a, 2b of a sintered body 2 formed by laminating and integrally sintering semiconductor ceramic layers 5 and a plurality of inner electrodes 3 are buried in the sintered body 2 while one end face 3a of each inner electrode 3 is connected to an outer electrode 4 in order to constitute a lamination type varistor 1, the inner electrodes 3 are formed in a comb shape consisting of three belt-shaped electrode parts 3b extending in parallel at prescribed intervals a.

CLAIMS

[Claim(s)]
[Claim 1]The laminating mold varistor characterized by to form the above-mentioned internal electrode in the shape of Kushigata in the laminating mold varistor which comes to connect only the end side of each of this internal electrode with the above-mentioned external electrode by turns on the flat surface which intersects perpendicularly in the thickness direction of a semi-conductor ceramic layer while carrying out the laminating of the semi-conductor ceramic layer, forming the external electrode in the both-ends side of the sintered compact which it really comes to sinter and laying two or more internal electrodes underground in the above-mentioned sintered compact.

[Claim 2]The laminating mold varistor characterized by arranging the above-mentioned internal electrodes so that it may not overlap in the thickness direction of a ceramic layer in claim 1 while laying underground the connectionless internal electrode which is not connected to the above-mentioned external electrode at the semi-conductor ceramic layer between the above-mentioned internal electrodes.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Industrial Application]This invention relates to the laminating mold varistor which functions as an electrical-potential-difference nonlinearity resistor, and it relates to the structure which enabled it to reduce the leakage current while it improves the dustability of the organic substance especially at the time of baking and can reduce dispersion in voltage at reference current and electrostatic capacity.
[0002]
[Description of the Prior Art]Generally, according to applied voltage, resistance is the resistor element which changes in nonlinear, for example, the varistor is used as a surge absorption component which prevents that an overvoltage joins an electronic circuitry. Moreover, in the field of electronic equipment, such as communication equipment, the miniaturization of electronic parts and integration are progressing and the demand of a miniaturization or low-battery-izing is strong also in the varistor in recent years in connection with this. A laminating mold varistor as shown in drawing 6 and drawing 7 is one of things corresponding to such a demand conventionally (Japanese-Patent-Application-No. 1-302496 refer to number). This laminating mold varistor 30 connects only end side 33a of each of this internal electrode 33 to the external electrodes 34 and 34 formed in the left of the above-mentioned sintered compact 32, and the right end sides 32a and 32b, and is constituted while laying the internal electrodes 33 and 33 of a pair underground in the sintered compact 32 which comes to carry out the laminating of two or more semi-conductor ceramic layers 31. Moreover, into the ceramic layer 31 between the above-mentioned internal electrodes 33, insertion arrangement of the connectionless internal electrodes 35 and 35 of a pair which are not connected to the above-mentioned external electrode 34 is carried out, and this connectionless internal electrode 35 is enclosed in the sintered compact 32. The above-mentioned laminating mold varistor 30 acquires electrical-potential-difference non-linear characteristics with the electric obstruction formed in an interface with the ceramic layer 31, an internal electrode 33, and the connectionless internal electrode 35.
[0003]

[Problem(s) to be Solved by the Invention]By the way, as shown in drawing 7, after the above-mentioned laminating mold varistor 30 prints an Ag/Pd paste in the ceramic green sheet-like layer 31, forms an internal electrode 33 and the connectionless internal electrode 35 in it and carries out the laminating of this to it one by one, he really sinters it and is trying to form a sintered compact 32. However, in the above-mentioned conventional laminating mold varistor 30, since an internal electrode 33 and the connectionless internal electrode 35 serve as a failure in case the organic substance, such as a binder, disperses from the ceramic layer 31 at the time of baking, the force joins the plane of composition of each electrodes 33 and 35 and the ceramic layer 31, and there is a possibility that electrodes 33 and 35 may exfoliate depending on the case. Consequently, in the part which this exfoliation produced, since electrical-potential-difference non-linear characteristics cannot be acquired, the problem that dispersion arises is in voltage at reference current or electrostatic capacity. Moreover, a mesh-like hole may arise in the internal electrode 33 after sintering, and the connectionless internal electrode 35 by contraction of the metal of an internal electrode 33 or the connectionless internal electrode 35, or evaporation of the organic substance at the time of the above-mentioned baking. Consequently, a semiconducting crystal grows through this hole, and in this crystal part, since electrical-potential-difference non-linear characteristics cannot be acquired, there is a problem that dispersion in voltage at reference current arises like ****, or the leakage current arises.
[0004]While this invention was made in order to solve the above-mentioned conventional trouble, and it improves the dustability of the organic substance at the time of baking etc., and avoiding metaled contraction and generating of the hole by evaporation of the organic substance and being able to reduce dispersion in voltage at reference current and electrostatic capacity, it aims at offering the laminating mold varistor which can reduce the leakage current.

[0005]
[Means for Solving the Problem]Then, while invention of claim 1 carries out the laminating of the semi-conductor ceramic layer, forms an external electrode in the both-ends side of the sintered compact which it really comes to sinter and laying two or more internal electrodes underground in the above-mentioned sintered compactIn the laminating mold varistor which comes to connect only the end side of each of this internal electrode with the above-mentioned external electrode by turns, it is characterized by forming the above-mentioned internal electrode in the shape of Kushigata on the flat surface which intersects perpendicularly in the thickness direction of a semi-conductor ceramic layer. Moreover, invention of claim 2 is characterized by arranging these internal electrodes so that it may not overlap in the thickness direction of a ceramic layer while it forms the above-mentioned internal electrode in the shape of Kushigata in the laminating mold varistor which comes to lay under the semi-conductor ceramic layer between the above-mentioned internal electrodes the connectionless internal electrode which is not connected to the above-mentioned external electrode.
[0006]
[Function]Since the internal electrode was made into the shape of Kushigata according to the laminating mold varistor concerning invention of claim 1, since the organic substance which dispersed from the ceramic layer at the time of baking is emitted from the clearance between internal electrodes, it can improve dustability, and can prevent exfoliation of an internal electrode so much. Consequently, the electrical-potential-difference non-linear characteristics in the interface of an internal electrode and a ceramic layer can be secured, and dispersion in voltage at reference current or electrostatic capacity can be reduced. Moreover, since it was made according to invention of claim 2 for these internal electrodes not to overlap in the thickness direction when a connectionless internal electrode is arranged in the semi-conductor ceramic layer between internal electrodes while forming the internal electrode in the shape of

Kushigata, compared with the conventional structure, a lap can be lessened from only an internal electrode and a connectionless internal electrode lapping in the thickness direction. Therefore, the leakage current can be reduced, while being able to reduce the hole by contraction of an internal electrode and a connectionless internal electrode, or evaporation of the organic substance, being able to reduce growth of the crystal which let the hole pass so much and being able to reduce dispersion in voltage at reference current also in this case.

[0007]
[Example]Hereafter, the example of this invention is explained about drawing. Drawing 1 thru/or drawing 3 are drawings for explaining the laminating mold varistor by one example of invention of claim 1. In drawing, 1 is the laminating mold varistor of this example, the external electrodes 4 and 4 are formed in the left of the above-mentioned sintered compact 2, right end side 2a, and 2b, and this is constituted while it lays the 1st internal electrode 3 and the 2nd internal electrode 3 underground in the rectangular parallelepiped-like sintered compact 2.
[0008]The above-mentioned sintered compact 2 carried out the laminating of two or more semi-conductor ceramic layers 5, really sintered this layered product, was formed, and acquires electrical-potential-difference non-linear characteristics by the interface of the 1st and 2nd internal electrode 3 of the above, and the ceramic layer 5.
[0009]Moreover, end side 3a of each above-mentioned internal electrode 3 is the left of the above-mentioned sintered compact 2, It is exposed to right end side 2a and 2b by turns, and this end side 3a is electrically connected to the above-mentioned external electrode 4. Furthermore, parts other than end side 3a of the above-mentioned internal electrode 3 are located inside the above-mentioned ceramic layer 5, and, thereby, are laid underground in the sintered compact 2.
[0010]And the 1st and 2nd internal electrode 3 of the above consists of three band-like polar-zone 3b which opens the predetermined clearance a and is prolonged in parallel, and each of this polar-zone 3b has countered on both sides of the ceramic layer 5. Thereby, each above-mentioned internal electrode 3 has become Kushigata-like on the flat surface which intersects perpendicularly in the thickness direction of the ceramic layer 5.
[0011]Next, the manufacture approach of the laminating mold varistor 1 of this example is explained. First, ZnO (97.9mol %) It considers as a principal component. To this CoCO3 (1.0 mol %) and MnCO3 (0.5mol %), Sb 2O3 (2.0mol %) and Bi 2O3 (0.5mol %) It is the glass powder which becomes the ceramic ingredient which it comes to mix by the above-mentioned mole ratio, respectively from B-2 O3, SiO2, and PbO and ZnO 0.1 weight % In addition, it prepares and raw material powder is created. Furthermore, an organic binder is mixed into this raw material powder, and it is 10 micrometers in thickness by the reverse roller method. A ceramic green sheet is formed, this green sheet is cut in the shape of a rectangle, and two or more semi-conductor ceramic layers 5 are formed. In addition, ten ceramic layers 5 located in the topmost part and the bottom become in piles about the above-mentioned green sheet, and the ceramic layer 5 of a center section consists of only one sheet.
[0012]Next, an organic vehicle is mixed to the metal powder which consists of Pt, electrode paste is created, this electrode paste is printed on the top face of the above-mentioned ceramic layer 5, and the 1st and 2nd internal electrode 3 of the shape of Kushigata which consists of band-like polar-zone 3b by this is formed. In this case, only end side 3a of each internal electrode 3 is prolonged to the edge of the ceramic layer 5, and other peripheral edge sides are formed so that it may be located inside.
[0013]Subsequently, as shown in drawing 1, the above-mentioned ceramic layer 5 and an internal electrode 3 lap by turns, and end side 3a of each internal electrode 3 is the left of the ceramic layer 5, A laminating is carried out so that it may expose to a right end edge by turns, and they are 2 t/cm2 to the

thickness direction of this. A pressure is applied and stuck by pressure, a layered product is formed, and this layered product is cut in the magnitude of a predetermined dimension.
[0014]Next, the above-mentioned layered product is calcinated at the temperature of 1050-1150 degrees C in air for 3 hours, and a sintered compact 2 is obtained. And left of this sintered compact 2, After applying the alloy paste which becomes right end side 2a and 2b from the weight ratio of Ag:Pd=7:3, it can be burned and the external electrode 4 is formed. Thereby, the laminating mold varistor 1 of this example is manufactured.
[0015]
[Table 1]

		従来試料	実施例試料
V_{1mA}	平均値	4.02	3.97
	3CV%	8.5	1.0
IR (MΩ)		0.92	1.20
Cap (pF)	平均値	460	510
	3CV%	10.2	3.10

[0016]Table 1 shows the test result which checks the effectiveness of this example and which went to accumulate. This trial created the laminating mold varistor 1 by the manufacture approach explained by this example, and was performed by measuring the resistance when impressing the voltage-current property of this, electrostatic capacity, and 2V for 30 seconds. In addition, in order to compare, measurement with the internal electrode same also about the conventional rectangle-like laminating mold varistor was performed. In the case of a sample, 3valve flow coefficients of voltage at reference current conventionally so that clearly also from Table 1 8.5%, 3valve flow coefficients of electrostatic capacity become 10.2%, resistance has become 0.92 M omega, and dispersion has arisen in the property. On the other hand, in the case of this example sample, 3valve flow coefficients of voltage at reference current 1.0%, 3valve flow coefficients of electrostatic capacity are 3.10%, and dispersion can be decreasing sharply. Moreover, it turns out that resistance is improving with 1.20 M omega and the leakage current can be reduced.
[0017]Drawing 4 and drawing 5 are drawings for explaining the laminating mold varistor by one example of invention of claim 2. The same sign as drawing 1 and drawing 2 shows the same or a considerable part among drawing. The laminating mold varistor 10 of this example comes to form the external electrode 4 in both-ends side 2a of the above-mentioned sintered compact 2, and 2b, and the fundamental structure of it is the same as that of the above-mentioned example and abbreviation while it lays the 1st and 2nd internal electrode 11 and 11 underground in a sintered compact 2.
[0018]The connectionless internal electrode 12 is arranged in the ceramic layer 5 between the 1st and 2nd internal electrode 11 of the above, and each end face of this connectionless internal electrode 12 is located inside the above-mentioned sintered compact 2. Thereby, the connectionless internal electrode 12 is enclosed in the sintered compact 2, without connecting with the external electrode 4 electrically.
[0019]And the 1st and 2nd internal electrode 11 of the above is formed in the shape of [which consists of four band-like polar-zone 11b which opens the predetermined clearance a and is prolonged in parallel] Kushigata. Moreover, each of this polar-zone 11b is arranged so that it may not overlap in the thickness direction of the above-mentioned ceramic layer 5.

[0020]Next, the manufacture approach of the laminating mold varistor 10 of this example is explained. It is fundamentally [as the approach mentioned above] the same, the manufacture approach of this example adds glass powder to the ceramic ingredient which uses ZnO as a principal component, and it creates raw material powder, and is 10 micrometers in thickness from this raw material powder. A ceramic green sheet is formed, this green sheet is cut in the shape of a rectangle, and many semi-conductor ceramic layers 5 are formed.

[0021]Next, while printing electrode paste on the top face of each above-mentioned ceramic layer 5 and forming the Kushigata-like 1st and 2nd internal electrode 11 in it, the connectionless internal electrode 12 is formed. This connectionless internal electrode 12 is formed so that the perimeter side of this may be located inside the ceramic layer 5.

[0022]Subsequently, as shown in drawing 4, after carrying out the laminating of the above-mentioned ceramic layer 5 in piles one by one, it is stuck by pressure, a layered product is formed, and this layered product is cut in the magnitude of a predetermined dimension. Next, the above-mentioned layered product is calcinated at the temperature of 1050-1150 degrees C in air for 3 hours, and a sintered compact 2 is formed. Left of after an appropriate time and this sintered compact 2, It can be burned and the external electrode 4 is formed in right end side 2a and 2b. Thereby, the laminating mold varistor 10 of this example is manufactured.

[0023]

[Table 2]

		従来試料	実施例試料
V_{1mA}	平均値	5.80	7.42
	3CV%	9.5	1.0
IR (MΩ)		1.50	2.10
Cap (pF)	平均値	230	270
	3CV%	9.60	2.50

[0024]Table 2 shows the test result which checks the effectiveness of this example and which went to accumulate. This trial measured the resistance when impressing the voltage-current property of the laminating mold varistor 10 of this example, electrostatic capacity, and 4V for 30 seconds. In addition, the trial with the same said of the conventional laminating mold varistor in which an internal electrode is a rectangle-like in order to compare, and the connectionless internal electrode was arranged was performed. In the case of a sample, 3valve flow coefficients of voltage at reference current conventionally so that clearly also from Table 2 9.5%, 3valve flow coefficients of electrostatic capacity become 9.60%, resistance has become 1.50 M omega, and dispersion has arisen in the property. On the other hand, in the case of this example sample, 3valve flow coefficients of voltage at reference current 1.0%, 3valve flow coefficients of electrostatic capacity are 2.50%, and dispersion can be decreasing sharply. Moreover, it turns out that resistance is improving with 2.10 M omega and the leakage current can be reduced.

[0025]

[Effect of the Invention]According to the laminating mold varistor which starts invention of claim 1 as mentioned above, since the internal electrode was made into the shape of Kushigata, the dustability of the organic substance can be improved and there are voltage at reference current and effectiveness that dispersion in electrostatic capacity can be reduced. Moreover, while according to claim 2 being able to reduce dispersion in voltage at reference current also in this case since the Kushigata-like internal electrode was made not to overlap in

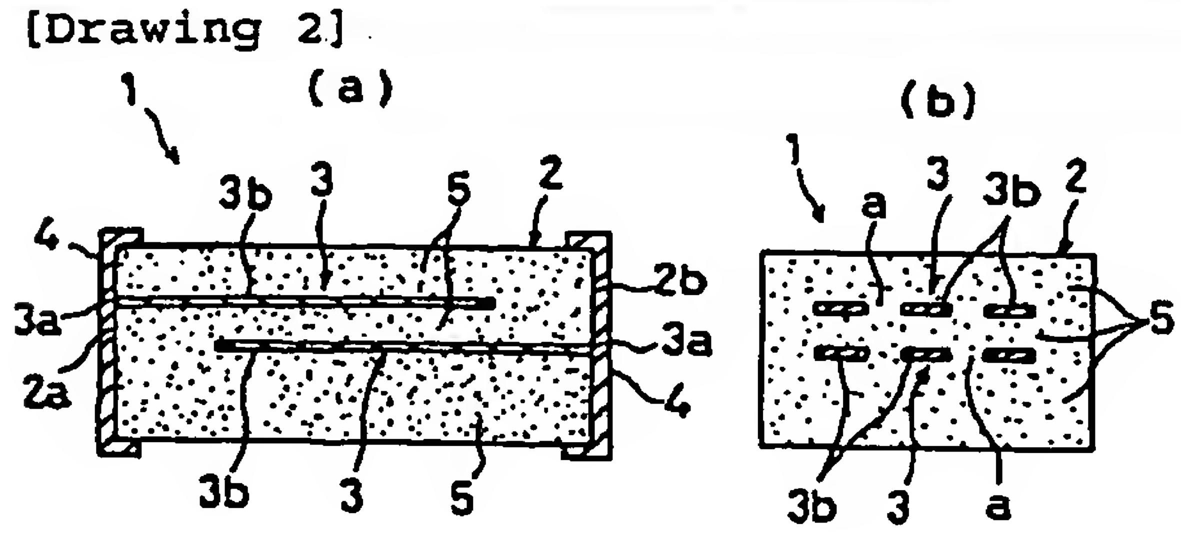
the thickness direction when arranging a connectionless internal electrode in the semi-conductor ceramic layer between internal electrodes, it is effective in the ability to reduce the leakage current.

DESCRIPTION OF DRAWINGS

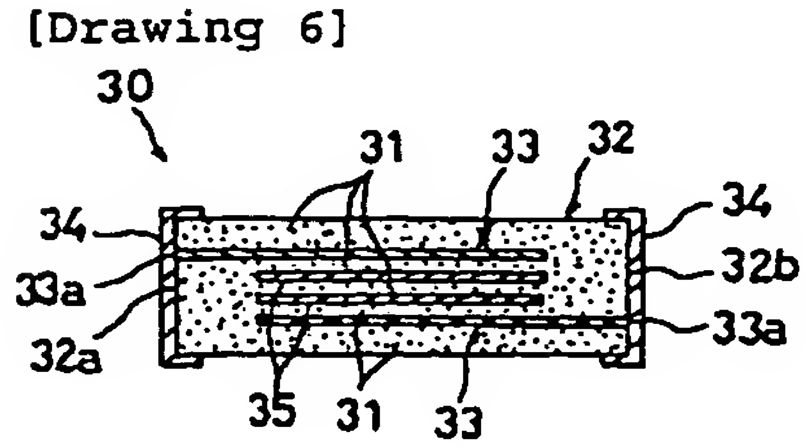
[Brief Description of the Drawings]
[Drawing 1]It is a decomposition perspective view for explaining the laminating mold varistor by one example of invention of claim 1.
[Drawing 2]It is the sectional view of the laminating mold varistor of the above-mentioned example.
[Drawing 3]Perspective view ****** of the laminating mold varistor of the above-mentioned example.
[Drawing 4]It is a decomposition perspective view for explaining the laminating mold varistor by one example of invention of claim 2.
[Drawing 5]It is the sectional view of the laminating mold varistor of the above-mentioned example.
[Drawing 6]It is the sectional view showing the conventional laminating mold varistor.
[Drawing 7]It is the decomposition perspective view showing the conventional laminating mold varistor.
[Description of Notations]
1 Ten Laminating mold varistor
2 Sintered Compact
3 11 Internal electrode
3a The end side of an internal electrode
4 External Electrode
5 Ceramic Layer
12 Connectionless Internal Electrode

DRAWINGS

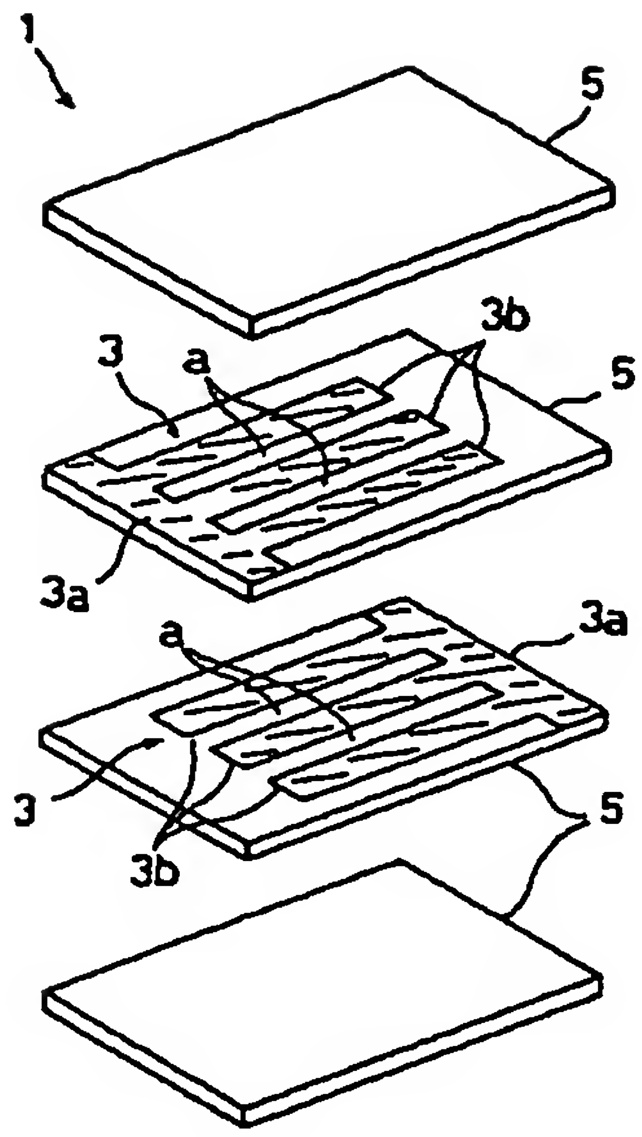
[Drawing 2]



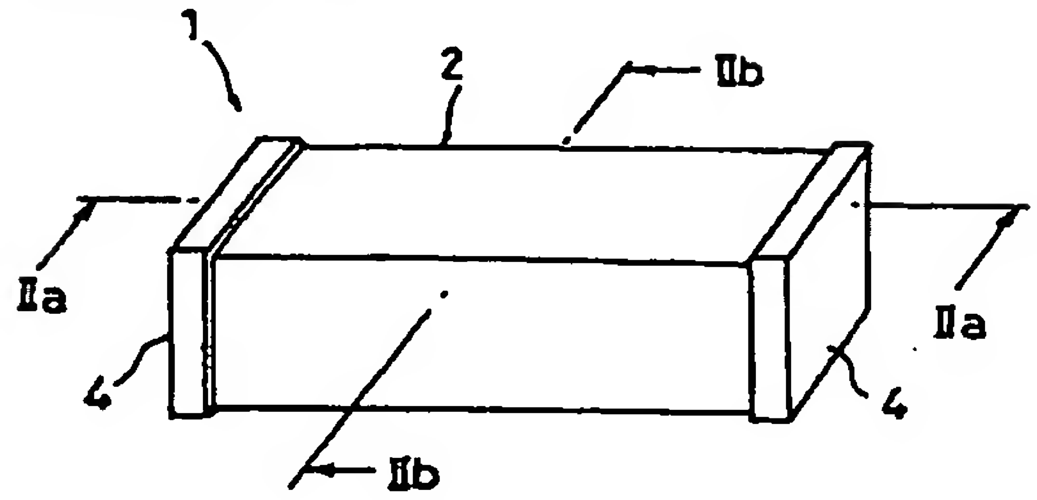
[Drawing 6]



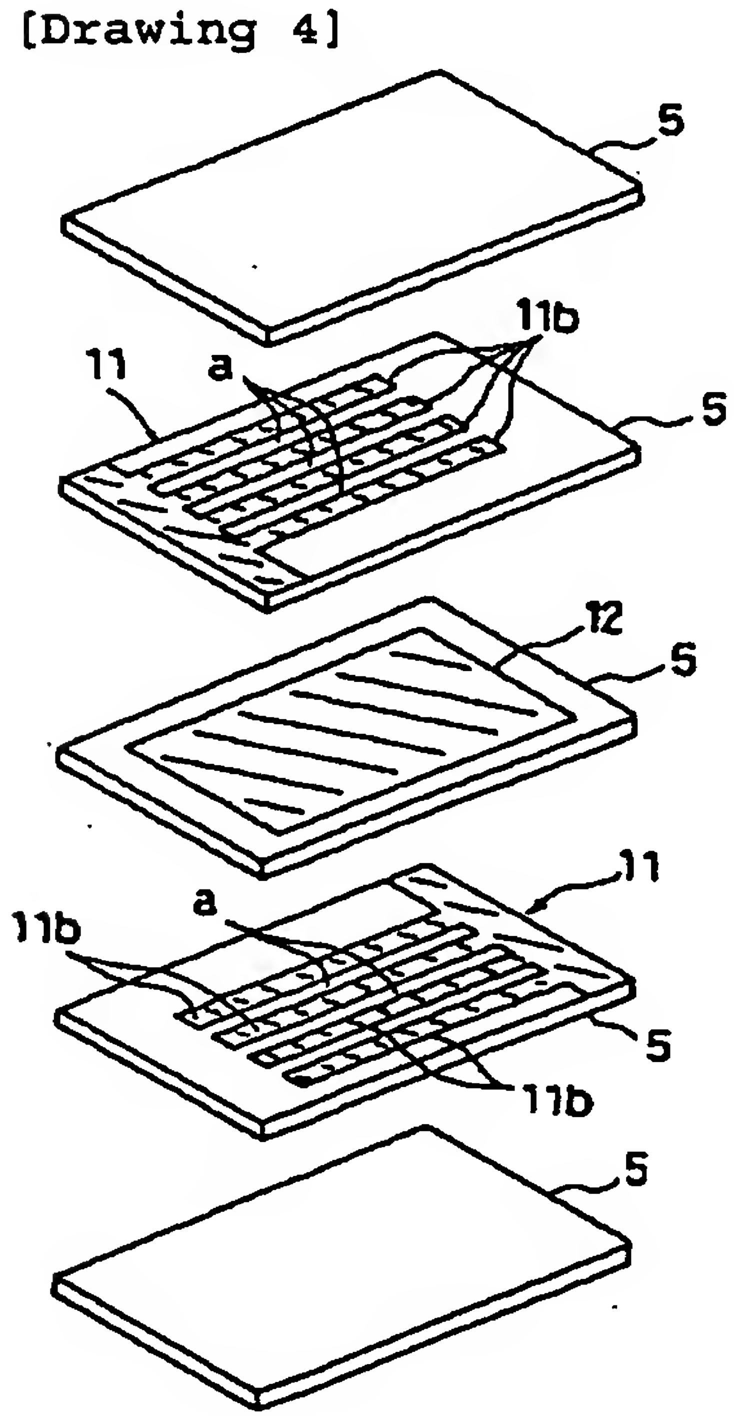
[Drawing 1]



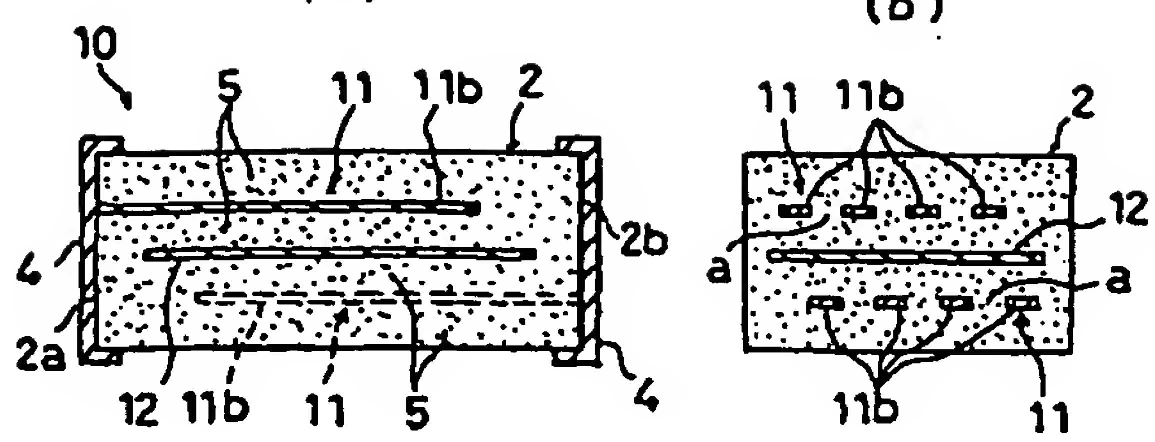
[Drawing 3]



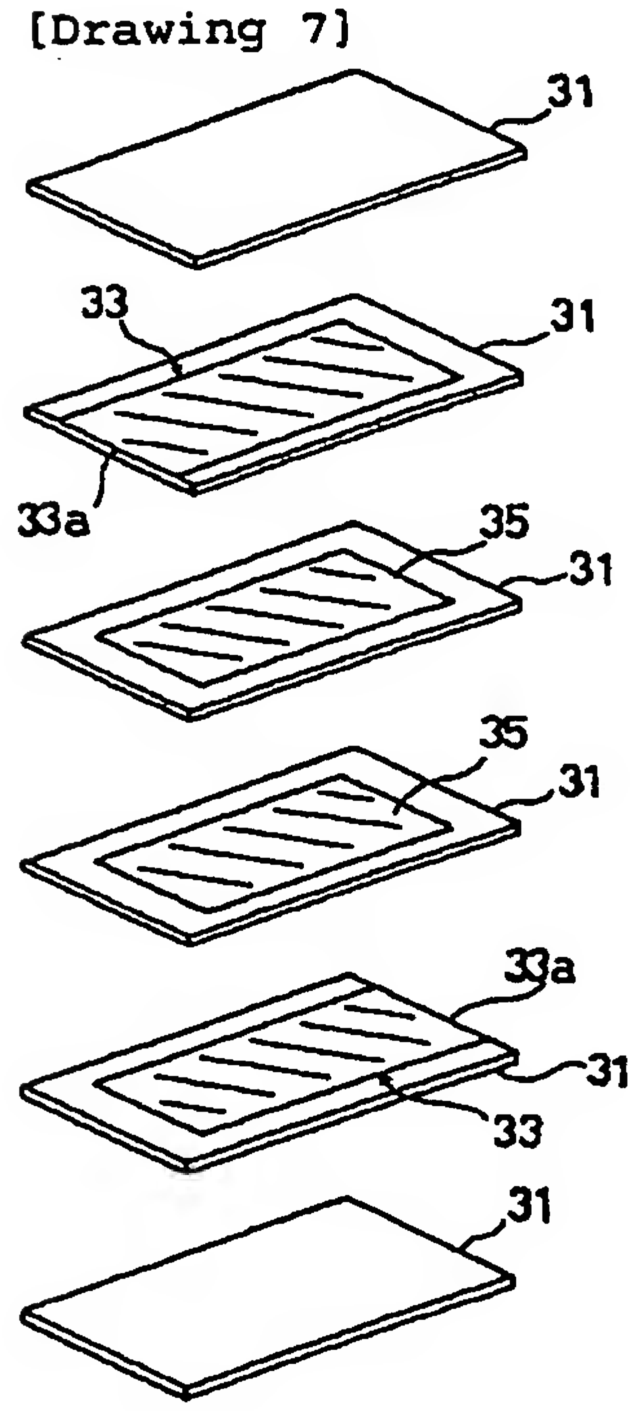
[Drawing 4]



[Drawing 5]


(a)
10
5
11
11b
2
2b
4
2a
12
11b
11
5
4
(b)
11
11b
2
12
a
a
11b
11

[Drawing 7]


31
33
31
33a
35
31
35
31
33a
31
33
31